

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masayuki FURUHASHI et al.**

Serial Number: **Not Yet Assigned**

Filed: **October 29, 2003**

**Customer No.: 38834**

For: **SEMICONDUCTOR DEVICE FABRICATION METHOD AND  
SEMICONDUCTOR FABRICATION CONTROL METHOD**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

October 29, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2002-315188, filed on October 30, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Scott M. Daniels  
Reg. No. 32,562

Atty. Docket No.: 032077  
Suite 700  
1250 Connecticut Avenue, N.W.  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111  
SMD/yap

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月30日

出 願 番 号  
Application Number:

特願2002-315188

[ ST.10/C ]:

[ JP2002-315188 ]

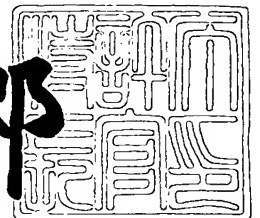
出 願 人  
Applicant(s):

富士通株式会社

2003年 3月11日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3015617

【書類名】 特許願

【整理番号】 0241400

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/324

【発明の名称】 半導体装置の製造方法及び半導体製造工程の管理方法

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 古橋 匡幸

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 堀 充明

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087479

【弁理士】

【氏名又は名称】 北野 好人

【選任した代理人】

【識別番号】 100114915

【弁理士】

【氏名又は名称】 三村 治彦

【手数料の表示】

【予納台帳番号】 003300

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0012600

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及び半導体製造工程の管理方法

【特許請求の範囲】

【請求項 1】 半導体基板にゲート絶縁膜を形成する工程を有する半導体装置の製造方法であって、

前記ゲート絶縁膜を形成する工程の前に、前記半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記半導体基板の前記表面側の前記絶縁膜をエッチング除去する工程と、前記半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有する

ことを特徴とする半導体装置の製造方法。

【請求項 2】 検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、

前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記検査用の半導体基板の前記表面側の前記絶縁膜をエッチング除去する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有する

ことを特徴とする半導体製造工程の管理方法。

【請求項 3】 検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、

前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の裏面側に絶縁膜を形成する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有する

ことを特徴とする半導体製造工程の管理方法。

【請求項 4】 裏面側に第 1 の絶縁膜が形成された半導体基板の表面側及び前記裏面側を覆うように第 2 の絶縁膜を形成する工程と、

前記表面側及び前記裏面側の前記第 2 の絶縁膜を覆うように半導体膜を形成する工程と、

前記裏面側の前記半導体膜をエッチング除去する工程と、

前記半導体基板の前記裏面側に前記第 2 の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 5】 半導体基板の前記表面側及び前記裏面側を覆うように第 1 の絶縁膜を形成する工程と、

前記半導体基板の前記表面側の前記第 1 の絶縁膜をエッチング除去する工程と

、  
前記半導体基板の前記表面側及び前記裏面側を覆うように第 2 の絶縁膜を形成する工程と、

前記表面側及び前記裏面側の前記第 2 の絶縁膜を覆うように半導体膜を形成する工程と、

前記裏面側の前記半導体膜をエッチング除去する工程と、

前記半導体基板の前記裏面側に前記第 2 の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 6】 請求項 4 又は 5 記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜をエッチング除去する工程の後、前記半導体基板を熱処理する工程の前に、前記半導体基板を洗浄液に浸漬する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 7】 請求項 6 記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜をエッチング除去する工程の後、前記半導体基板を洗浄液に浸漬する工程の前に、前記半導体基板の前記裏面側をスクラブ洗浄する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 8】 請求項 4 乃至 7 のいずれか 1 項に記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜を除去する工程の後、前記半導体基板を熱処理する工程の前に、前記表面側の前記半導体膜に前記第 2 の絶縁膜に達する開口部を形成する工程と、前記半導体膜をマスクとして前記第 2 の絶縁膜をエッチングする

工程と、前記第 2 の絶縁膜をマスクとして前記半導体基板をエッチングし、前記半導体基板に溝を形成する工程と、前記溝内に第 3 の絶縁膜を埋め込むことにより素子分離領域を形成する工程とを更に有する

ことを特徴とする半導体装置の製造方法。

【請求項 9】 請求項 8 記載の半導体装置の製造方法において、

前記半導体基板を熱処理する工程では、水素を含む雰囲気中で前記半導体基板を熱処理し、

前記半導体基板を熱処理する工程の後、前記半導体基板にゲート絶縁膜を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法並びに半導体製造工程の管理方法に関する。

【0002】

【従来の技術】

近時、ゲート絶縁膜を形成する際の前処理として、水素アニール、即ち水素を含む雰囲気中での熱処理を行うことが注目されている。

【0003】

水素アニールは、シリコン基板の表面のシリコンをマイグレートさせることによりシリコン基板の表面を平坦化すること、及び、シリコン基板の表面に形成された自然酸化膜を除去することを目的として行われる。

【0004】

ゲート絶縁膜を形成する工程の前処理として、水素アニールを行えば、良質なゲート絶縁膜を形成することができ、電気的特性の良好なトランジスタを有する半導体装置を製造することが可能となる。

【0005】

【特許文献 1】

特開 2 0 0 1 - 1 0 2 3 2 1 号公報

【特許文献 2】

特開 2 0 0 1 - 2 7 4 1 5 4 号公報

【特許文献 3】

特開平 1 0 - 3 1 3 0 1 2 号公報

【特許文献 4】

特開 2 0 0 0 - 3 4 0 6 4 4 号公報

【特許文献 5】

特開 2 0 0 1 - 1 0 2 3 8 6 号公報

【特許文献 6】

特開平 9 - 3 2 6 3 9 6 号公報

【0 0 0 6】

【発明が解決しようとする課題】

しかしながら、水素アニールを行うと、シリコン基板の裏面側、即ち下面側からシリコンが昇華してしまう。チャンバ内におけるシリコン基板が載置される箇所下方には、温度センサ等が設けられている。シリコン基板の裏面側からシリコンが昇華すると、昇華したシリコンが温度センサ等に付着してしまう。温度センサにシリコンが付着すると、センサの計測精度が低下するため、プロセスの制御性の低下を招いてしまう。プロセスの制御性を確保するためには、R T P (Rapid Thermal Process、高温熱処理) 装置等の半導体製造装置を頻繁にメンテナンスしなければならない、製造効率の低下を招いてしまう。

【0 0 0 7】

また、半導体装置の製造工程の管理を行う際にも、同様の問題が起こり得る。即ち、半導体装置の製造工程の管理を行う際には、例えば、検査用の半導体基板にゲート絶縁膜を形成し、ゲート絶縁膜の検査を行い、検査結果が良好でない場合には、半導体製造装置等のメンテナンス等が行われる。ゲート絶縁膜を形成する際には、前処理として上記と同様の水素アニールが行われるため、この水素アニールの際にもシリコン基板の裏面側からのシリコンが昇華してしまうこととなる。

【0 0 0 8】



ところで、上記の特許文献 1 には、半導体ウェハを熱処理する際に、半導体ウェハの裏面側に $O_2$ ガスを供給し、半導体ウェハの裏面側に酸化膜を形成することにより、半導体ウェハの裏面側からシリコンが昇華するのを防止する技術が開示されている。しかし、特許文献 1 に開示された技術では、半導体ウェハの表面側、即ち上面側に $O_2$ ガスが回り込み、所望しないシリコン酸化膜が半導体ウェハの表面側に生成されてしまうという弊害が生ずる。この際に半導体ウェハの表面に生成されるシリコン酸化膜は膜厚が安定しないものであるため、ゲート絶縁膜を所望の膜厚に制御することが極めて困難となる。

## 【 0 0 0 9 】

本発明の目的は、熱処理を行う際に、上記のような弊害を生ずることなく、半導体基板の裏面側からの半導体構成原子の昇華を防止し得る半導体装置の製造方法及び半導体製造工程の管理方法を提供することにある。

## 【 0 0 1 0 】

## 【課題を解決するための手段】

上記目的は、半導体基板にゲート絶縁膜を形成する工程を有する半導体装置の製造方法であって、前記ゲート絶縁膜を形成する工程の前に、前記半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記半導体基板の前記表面側の前記絶縁膜をエッチング除去する工程と、前記半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有することを特徴とする半導体装置の製造方法により達成される。

## 【 0 0 1 1 】

また、上記目的は、検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記検査用の半導体基板の前記表面側の前記絶縁膜をエッチング除去する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有することを特徴とする半導体製造工程の管理方法により達成される。

## 【 0 0 1 2 】

また、上記目的は、検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の裏面側に絶縁膜を形成する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有することを特徴とする半導体製造工程の管理方法により達成される。

## 【 0 0 1 3 】

また、上記目的は、裏面側に第 1 の絶縁膜が形成された半導体基板の表面側及び前記裏面側を覆うように第 2 の絶縁膜を形成する工程と、前記表面側及び前記裏面側の前記第 2 の絶縁膜を覆うように半導体膜を形成する工程と、前記裏面側の前記半導体膜をエッチング除去する工程と、前記半導体基板の前記裏面側に前記第 2 の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有することを特徴とする半導体装置の製造方法により達成される。

## 【 0 0 1 4 】

また、上記目的は、半導体基板の前記表面側及び前記裏面側を覆うように第 1 の絶縁膜を形成する工程と、前記半導体基板の前記表面側の前記第 1 の絶縁膜をエッチング除去する工程と、前記半導体基板の前記表面側及び前記裏面側を覆うように第 2 の絶縁膜を形成する工程と、前記表面側及び前記裏面側の前記第 2 の絶縁膜を覆うように半導体膜を形成する工程と、前記裏面側の前記半導体膜をエッチング除去する工程と、前記半導体基板の前記裏面側に前記第 2 の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有することを特徴とする半導体装置の製造方法により達成される。

## 【 0 0 1 5 】

## 【発明の実施の形態】

## 〔第 1 実施形態〕

近時、S T I (Shallow Trench Isolation) 法により素子分離領域を形成する際に、ポリシリコンより成るマスクを用いてシリコン窒化膜をパターンニングし、パターンニングされたシリコン窒化膜をマスクとして、シリコン基板をエッチングすることによりシリコン基板にトレンチ、即ち溝を形成する技術が提案されてい

る。しかし、ポリシリコン膜はシリコン基板の表面側、即ち上面側のみならず、裏面側、即ち下面側にも形成されるため、このようなシリコン基板に対して水素アニールを単に行うと、シリコン基板の裏面側のポリシリコン膜からシリコンが昇華してしまい、温度センサ等に付着してしまうこととなる。シリコンが温度センサ等に付着すると、上述したように、センサの計測精度が低下するため、プロセスの制御性の低下を招いてしまう。プロセスの制御性を確保するためには、上述したように、半導体製造装置を頻繁にメンテナンスしなければならず、製造効率の低下を招いてしまう。

## 【 0 0 1 6 】

本願発明者らは鋭意検討した結果、以下のようにすれば、シリコン基板の裏面側からのシリコンの昇華を防止し得ることに想到した。

## 【 0 0 1 7 】

本発明の第 1 実施形態による半導体装置の製造方法を図 1 乃至図 7 を用いて説明する。図 1 乃至図 6 は、本実施形態による半導体装置の製造方法を示す工程断面図である。

## 【 0 0 1 8 】

まず、図 1 (a) に示すように、裏面側、即ち下面側にシリコン酸化膜 1 2 が形成されているシリコン基板 1 0 を用意する。

## 【 0 0 1 9 】

かかる基板としては、例えばエピタキシャル基板を挙げることができる。エピタキシャル基板は、シリコン基板の表面側、即ち上面側に単結晶シリコン層がエピタキシャル成長された基板である。エピタキシャル基板においては、裏面側にシリコン酸化膜が形成されているのが一般的である。エピタキシャル基板において裏面側にシリコン酸化膜が形成されているのは、以下のような理由によるものである。即ち、シリコン基板にはボロン等の不純物がドーピングされており、シリコン基板上に単結晶シリコン層を単に成長した場合には、シリコン基板の裏面側からシリコン基板の外部に不純物が抜け出てしまう。そうすると、成膜雰囲気中に不純物が混入し、ひいては単結晶シリコン層中に混入してしまう。不純物を含まない単結晶シリコン層を形成するためには、シリコン基板の裏面側からシリコン

基板の外部に不純物が抜け出るのを防止することが必要となる。エピタキシャル基板においては、シリコン基板の裏面側からシリコン基板の外部に不純物が抜け出してしまうのを防止するため、シリコン基板の裏面側にシリコン酸化膜が形成されている。

#### 【 0 0 2 0 】

裏面側にシリコン酸化膜が形成されていないエピタキシャル基板の場合、エピタキシャル基板ではない一般的なシリコン基板を用いる場合、又は S O I (Silicon On Insulator) 基板を用いる場合には、以下のようにして、裏面側にシリコン酸化膜 1 2 が形成されたシリコン基板 1 0 を得る。

#### 【 0 0 2 1 】

即ち、図 6 ( a ) に示すように、まず、シリコン基板 1 0 を用意する。

#### 【 0 0 2 2 】

次に、図 6 ( b ) に示すように、例えば熱酸化法により、シリコン酸化膜 1 2 を形成する。シリコン酸化膜 1 2 は、シリコン基板 1 0 の全面を覆うように形成される。シリコン酸化膜 1 2 の膜厚は、例えば 1 0 0 n m 程度とする。

#### 【 0 0 2 3 】

なお、ここでは、シリコン酸化膜 1 2 を熱酸化法により形成する場合を例に説明したが、シリコン酸化膜 1 2 の形成方法は熱酸化法に限定されるものではない。例えば、C V D 法等によりシリコン酸化膜 1 2 を形成してもよい。

#### 【 0 0 2 4 】

次に、シリコン基板 1 0 の表面側、即ち上面側のシリコン酸化膜 1 2 のみを、以下のようにして除去する。即ち、シリコン基板 1 0 を回転させながら、シリコン基板 1 0 の表面側にフッ酸を供給する。この際、シリコン基板 1 0 の裏面側に、 $N_2$  ガスを吹きかけることにより、シリコン基板 1 0 の裏面側にフッ酸が回り込むのを防止する。こうして、シリコン基板 1 0 の表面側のシリコン酸化膜 1 2 のみが除去される。この後、純水によりシリコン基板 1 0 をリンスし、この後、シリコン基板 1 0 を乾燥させる。こうして、裏面側にのみシリコン酸化膜 1 2 が形成されたシリコン基板 1 0 が得られる (図 6 ( c ) 参照)。

#### 【 0 0 2 5 】

なお、ここでは、シリコン基板 1 0 の表面側及び裏面側にシリコン酸化膜 1 2 を形成した後に、表面側のシリコン酸化膜 1 2 を除去することにより、裏面側にのみシリコン酸化膜 1 2 が形成されたシリコン基板 1 0 を得たが、シリコン基板 1 0 の裏面側にのみシリコン酸化膜 1 2 を形成するようにしてもよい。シリコン基板 1 0 の裏面側にのみシリコン酸化膜 1 2 を形成する際には、例えば C V D 法を用いることができる。シリコン酸化膜 1 2 の膜厚は、例えば 1 0 n m 程度とする。

#### 【 0 0 2 6 】

次に、図 1 ( b ) に示すように、例えば熱酸化法により、シリコン基板 1 0 の全面にシリコン酸化膜 1 4 を形成する。シリコン酸化膜 1 4 の膜厚は、例えば 1 0 n m 程度とする。シリコン酸化膜 1 4 は、シリコン窒化膜 1 6 とシリコン基板 1 0 との間の応力を緩和するためのバッファ膜として機能するものである。

#### 【 0 0 2 7 】

次に、例えば C V D 法により、シリコン窒化膜 1 6 を形成する。シリコン酸化膜 1 6 は、全面を覆うように形成される。シリコン窒化膜 1 6 の膜厚は例えば 1 0 0 n m 程度とする。シリコン窒化膜 1 6 は、後工程でシリコン酸化膜 2 6 ( 図 3 ( c ) 参照) を研磨する際にストッパ膜として機能するものである。

#### 【 0 0 2 8 】

次に、例えば C V D 法により、シリコン窒化膜 1 6 上にポリシリコン膜 1 8 を形成する。ポリシリコン膜 1 8 は、全面を覆うように形成される。ポリシリコン膜 1 8 の膜厚は、例えば 1 5 0 n m とする。ポリシリコン膜 1 8 は、シリコン窒化膜 1 6 をパターニングする際にマスクとして機能するものである。

#### 【 0 0 2 9 】

次に、シリコン基板 1 0 の裏面側のポリシリコン膜 1 8 を、以下のようにして除去する。即ち、まず、シリコン基板 1 0 の表面側と裏面側とを反転させる。これにより、シリコン基板 1 0 の裏面側が上面側に位置し、シリコン基板 1 0 の裏面側が下面側に位置することとなる。次に、シリコン基板 1 0 を回転させながら、シリコン基板 1 0 の上面側、即ちシリコン基板 1 0 の裏面側に、フッ硝酸を供給する。フッ硝酸としては、例えば、濃度 5 0 % のフッ酸水溶液と濃度 6 0 % の

硝酸水溶液とを、1 : 5 0 ~ 1 : 3 0 0 で混合して成るフッ硝酸を用いる。この際、シリコン基板 1 0 の下面側、即ち表面側に、 $N_2$  ガスを吹きかけることにより、シリコン基板 1 0 の下面側、即ち表面側にフッ硝酸が回り込むのを防止する。こうして、シリコン基板 1 0 の裏面側のポリシリコン膜 1 8 が除去される。この後、純水によりシリコン基板 1 0 をリンスし、この後、シリコン基板 1 0 を乾燥させる。シリコン基板 1 0 の裏面側には、シリコン窒化膜 1 6 の表面が露出した状態となる。露出したシリコン窒化膜 1 6 の表面には、ポリシリコン膜 1 8 を除去する際に生じたパーティクル 1 9 が付着している状態となる。

#### 【 0 0 3 0 】

次に、図 2 ( a ) に示すように、スクラブ洗浄により、パーティクル 1 9 を除去する。ポリシリコン 1 8 を除去する際に生じた多数のパーティクル 1 9 のうち、ある程度の数のパーティクル 1 9 は、このスクラブ洗浄により除去される。但し、このスクラブ洗浄ですべてのパーティクル 1 9 が除去されるわけではなく、ある程度の数のパーティクル 1 9 はシリコン基板 1 6 の表面等に残ることとなる。スクラブ洗浄の際に用いる洗浄液としては、例えば A P M ( Ammonia-Hydrogen Peroxide Mixture ) を用いることができる。A P M は、アンモニアと過酸化水素と水とが混合されて成る洗浄液である。なお、スクラブ洗浄の際に用いる洗浄液は、A P M に限定されるものではなく、例えば純水でもよい。但し、A P M を用いた場合の方が、純水を用いた場合より、多くのパーティクル 1 9 を除去することが可能である。

#### 【 0 0 3 1 】

次に、シリコン基板 1 0 を洗浄液に浸漬することにより、シリコン窒化膜 1 6 等の表面に残っているパーティクル 1 9 を除去する ( 図 2 ( b ) 参照 ) 。洗浄液としては、例えば A P M を用いる。これにより、シリコン窒化膜 1 6 の表面等に残っていたパーティクル 1 9 が、除去されることとなる。スクラブ洗浄の際に多くのパーティクルが既に除去されているため、シリコン基板 1 0 を洗浄液に浸漬することにより除去されるパーティクル 1 9 の数は、あまり多くはない。このため、洗浄液中に混入するパーティクル 1 9 の数を、少なくすることが可能となる。洗浄液中に混入するパーティクル 1 9 の数を少なくすることが可能となるため

、シリコン窒化膜 1 6 やポリシリコン膜 1 8 等の表面にパーティクル 1 9 が再付着するのを抑制することが可能となる。

【 0 0 3 2 】

次に、例えばスピコート法により、ポリシリコン膜 1 8 上にフォトレジスト膜 2 0 を形成する。

【 0 0 3 3 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜 2 0 に開口部 2 2 を形成する（図 2（c）参照）。

【 0 0 3 4 】

次に、フォトレジスト膜 2 0 をマスクとして、ポリシリコン膜 1 8 を異方性エッチングする。エッチングガスとしては、例えば H B r と O<sub>2</sub> との混合ガスを用いる。

【 0 0 3 5 】

次に、図 3（a）に示すように、ポリシリコン膜 1 8 をマスクとしてシリコン窒化膜 1 6 及びシリコン酸化膜 1 4 を異方性エッチングする。エッチングガスとしては、例えばフルオロカーボンを用いる。

【 0 0 3 6 】

次に、図 3（b）に示すように、シリコン窒化膜 1 6 をマスクとして、シリコン基板 1 0 をエッチングする。エッチングガスとしては、例えば H B r と O<sub>2</sub> との混合ガスを用いることができる。これにより、シリコン基板 1 0 にトレンチ 2 4、即ち溝が形成される。トレンチ 2 4 を形成する際、シリコン窒化膜 1 6 上のポリシリコン膜 1 8 も同時に除去される。

【 0 0 3 7 】

次に、図 3（c）に示すように、例えば高密度プラズマ（High Density Plasma、HDP）CVD 法により、シリコン酸化膜 2 6 を形成する。シリコン酸化膜 2 6 の膜厚は、例えば 5 0 0 n m とする。

【 0 0 3 8 】

次に、図 4（a）に示すように、例えばCMP法により、シリコン酸化膜 2 6 をシリコン窒化膜 1 6 の表面が露出するまで研磨する。こうして、トレンチ 2 4

内にシリコン酸化膜 2 6 が埋め込まれる。

【 0 0 3 9 】

次に、図 4 ( b ) に示すように、例えばリン酸を用い、シリコン窒化膜 1 6 をエッチング除去する。

【 0 0 4 0 】

次に、例えばフッ酸を用い、シリコン酸化膜 1 4 をエッチング除去する。この際、シリコン基板 1 0 の裏面側に形成されたシリコン酸化膜 1 2 やトレンチ 2 4 内に埋め込まれたシリコン酸化膜 2 6 までもが大きくエッチングされてしまうことのないようにすることが必要である。例えば、シリコン酸化膜 1 4 を、極めて短いエッチング時間でエッチングすればよい。こうして、S T I 法により、シリコン酸化膜 2 6 より成る素子分離領域 2 8 が形成される。素子分離領域 2 8 により、素子領域 3 0 が画定される。

【 0 0 4 1 】

次に、例えばイオン注入法により、素子領域 3 0 にドーパント不純物を適宜導入することにより、n 形ウェル 3 2 や p 形ウェル 3 4 を形成する ( 図 4 ( c ) 参照 ) 。

【 0 0 4 2 】

次に、図 5 ( a ) に示すように、ゲート絶縁膜 3 6 ( 図 5 ( b ) 参照 ) を成膜する工程の前処理として、水素アニール、即ち、水素を含む雰囲気中での熱処理を行う。アニール温度は、例えば 1 0 0 0 ° C 程度とする。水素アニールを行う際には、シリコン基板 1 0 の裏面側にシリコン酸化膜 1 2 が存在している状態で熱処理を行う。シリコン基板 1 0 の裏面側にシリコン酸化膜 1 2 が存在している状態で水素アニールを行えば、シリコンの昇華を防止することができるためである。シリコン基板 1 2 の裏面側にシリコン酸化膜が少なくとも 1 n m 以上存在していれば、シリコン基板 1 0 の裏面側からのシリコンの昇華を防止することができる。温度センサ等にシリコンが付着するのを防止することができる。

【 0 0 4 3 】

なお、水素アニールの際に、シリコン酸化膜 1 2 の表面が水素によりわずかに還元され、シリコン酸化膜 1 2 の膜厚が若干薄くなる場合もあり得る。シリコン



酸化膜 1 2 の成膜方法等によって薄くなる厚さは異なるが、薄くなる厚さは例えば 1 n m 程度とわずかなものである。水素アニールを開始する段階で例えば 2 n m 以上のシリコン酸化膜 1 2 がシリコン基板 1 0 の裏面側に存在していれば、水素によるシリコン酸化膜 1 2 の還元によりシリコン酸化膜 1 2 の厚さが例えば 1 n m 薄くなったとしても、水素アニールが終了する段階では 1 n m 以上のシリコン酸化膜 1 2 が残っている状態となる。1 n m 以上のシリコン酸化膜 1 2 がシリコン基板 1 0 の裏面側に存在していれば、シリコン基板 1 0 の裏面側からのシリコンの昇華を十分に防止することが可能である。本実施形態では、シリコン酸化膜 1 2 を例えば 1 0 0 n m と十分に厚く形成しており、シリコン酸化膜 1 4 をエッチングする際には、シリコン酸化膜 1 2 を大きくエッチングすることがないように、エッチングを短時間で行う。このため、シリコン酸化膜 1 2 はシリコン基板 1 0 の裏面側に十分な厚さで存在している。従って、シリコン基板 1 0 の裏面側からのシリコンの昇華を確実に防止することができる。

#### 【 0 0 4 4 】

次に、図 5 ( b ) に示すように、例えば熱酸化法により、膜厚 1 . 2 n m のゲート絶縁膜 3 6 を形成する。

#### 【 0 0 4 5 】

この後、ゲート電極（図示せず）やソース／ドレイン拡散層（図示せず）等を適宜形成する。

#### 【 0 0 4 6 】

こうして、本実施形態による半導体装置が製造される。

#### 【 0 0 4 7 】

本実施形態による半導体装置の製造方法は、シリコン基板 1 0 の裏面側、即ち下面側のポリシリコン膜 1 8 を除去するとともに、シリコン基板 1 0 の裏面側にシリコン酸化膜 1 2 が存在している状態で熱処理を行うことに主な特徴の一つがある。

#### 【 0 0 4 8 】

シリコン基板 1 0 の裏面側にポリシリコン膜 1 8 が存在している状態で水素アニールを行った場合には、上述したように、シリコン基板 1 0 の裏面側からシリ

コンが昇華し、シリコン基板 10 が載置される箇所下方に設けられた温度センサ等にシリコンが付着してしまう。温度センサにシリコンが付着すると、上述したように、センサの計測精度が低下するため、プロセスの制御性の低下を招いてしまう。プロセスの制御性を確保するためには、半導体製造装置を頻繁にメンテナンスしなければならない、製造効率の低下を招いてしまう。

## 【 0 0 4 9 】

これに対し、本実施形態では、シリコン基板 10 の裏面側のポリシリコン膜 18 を除去し、しかも、シリコン基板 10 の裏面側にシリコン酸化膜 12 が存在している状態で熱処理を行うため、水素アニールを行った場合であっても、シリコン基板 10 の裏面側からシリコンが昇華するのを防止することができる。このため、本実施形態によれば、温度センサ等にシリコンが付着するのを防止することができ、頻繁なメンテナンスを行うことなく半導体装置を製造することが可能となる。従って、本実施形態によれば、高い製造効率で半導体装置を製造することができる。

## 【 0 0 5 0 】

なお、上述したように、特許文献 1 には、半導体ウェハを熱処理する際に、半導体ウェハの裏面側に  $O_2$  ガスを供給し、半導体ウェハの裏面側に酸化膜を形成することにより、半導体ウェハの裏面側からシリコンが昇華するのを防止する技術が開示されている。しかし、特許文献 1 に開示された技術では、半導体ウェハの表面側に  $O_2$  ガスが回り込み、所望しない酸化膜が半導体ウェハの表面側に生成されてしまう。この際に半導体ウェハの表面側に生成される酸化膜は膜厚が安定しないものであるため、この後形成するゲート絶縁膜の膜厚を所望の膜厚に制御することが極めて困難となる。これに対し、本実施形態による半導体装置の製造方法は、シリコン基板の表面側に所望しないシリコン酸化膜が生成されてしまうことはなく、所望の膜厚でゲート絶縁膜を形成することができる点で、特許文献 1 に開示された技術と比較して極めて有利である。

## 【 0 0 5 1 】

また、本実施形態によれば、シリコン基板 10 の裏面側のポリシリコン膜 18 を除去するため、以下に述べるように、ポリシリコン膜 18 の端部がパーティク

ルになってしまうのを防止することができる。

【 0 0 5 2 】

図 7 は、シリコン基板の裏面側のポリシリコン膜を除去することなく半導体装置を製造する場合の工程断面図である。

【 0 0 5 3 】

シリコン基板 1 0 の裏面側のポリシリコン膜 1 8 を除去せずに（図 7（a）参照）、シリコン窒化膜 1 6 をエッチング除去すると、ポリシリコン膜 1 8 の端部がシリコン窒化膜 1 6 の端部から張り出した状態となる。そうすると、ポリシリコン膜 1 8 の端部が分離してしまう場合があり、分離したポリシリコン膜 1 8 の端部が、パーティクルになってしまう場合がある。

【 0 0 5 4 】

本実施形態では、シリコン基板 1 0 の裏面側のポリシリコン膜 1 8 を除去するため、ポリシリコン膜 1 8 の端部が分離してパーティクルになるのを防止することができる。このため、本実施形態によれば、半導体装置の製造歩留りの向上に寄与することができる。

【 0 0 5 5 】

また、本実施形態による半導体装置の製造方法は、シリコン基板 1 0 の裏面側のポリシリコン膜 1 8 を除去した後、シリコン基板 1 0 を洗浄液に浸漬する前に、スクラブ洗浄を行うことにも主な特徴の一つがある。

【 0 0 5 6 】

ポリシリコン膜 1 8 を除去した後、直ちに洗浄液に浸漬してパーティクル 1 9 を除去した場合には、洗浄液中に多数のパーティクル 1 9 が混入してしまう。洗浄液中に混入したパーティクル 1 9 は、ポリシリコン膜 1 8 やシリコン窒化膜 1 6 等の表面に再付着する場合がある。洗浄液中に混入するパーティクル 1 9 の数が多いほど、ポリシリコン膜 1 8 やシリコン窒化膜 1 6 等の表面に再付着するパーティクル 1 9 の数は多くなる傾向にある。再付着したパーティクル 1 9 は、半導体装置の製造歩留りを低下させる要因となってしまう。

【 0 0 5 7 】

これに対し、本実施形態では、シリコン基板 1 0 の裏面側のポリシリコン膜 1

8を除去した後、洗浄液に浸漬する前に、スクラブ洗浄を行うため、スクラブ洗浄においてある程度の数のパーティクル19を除去することができる。このため、本実施形態によれば、シリコン基板10を洗浄液に浸漬した際に、洗浄液中に混入するパーティクル19を少なく抑えることができる。従って、本実施形態によれば、ポリシリコン膜18やシリコン窒化膜16等の表面に再付着するパーティクル19の数を極めて少なくすることができ、ひいては半導体装置の製造歩留りを向上することができる。

## 【0058】

## 〔第2実施形態〕

本発明の第2実施形態による半導体装置の製造方法を図8及び図9を用いて説明する。図8及び図9は、本実施形態による半導体装置の製造方法を示す工程断面図である。図1乃至図7に示す第1実施形態による半導体装置の製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

## 【0059】

本実施形態による半導体装置の製造方法は、STI法により素子分離領域28を形成する際にポリシリコン膜より成るマスクは形成しないが、シリコン基板10の裏面側にシリコン酸化膜12が存在している状態で水素アニールを行うことに主な特徴がある。

## 【0060】

まず、図8(a)に示すように、まず、シリコン基板10を用意する。シリコン基板10としては、例えばCZ法により形成されたシリコン基板を用いる。

## 【0061】

次に、図8(b)に示すように、例えば熱酸化法により、シリコン基板12の全面にシリコン酸化膜12を形成する。シリコン酸化膜12の膜厚は、例えば100nm程度とする。

## 【0062】

次に、シリコン基板10の表面側のシリコン酸化膜12のみを、例えばフッ酸を用いて除去する。こうして、裏面側にのみシリコン酸化膜12が形成されたシリコン基板10が得られる(図8(c)参照)。

## 【 0 0 6 3 】

なお、ここでは、シリコン基板 1 0 の表面側及び裏面側にシリコン酸化膜 1 2 を形成した後に、表面側のシリコン酸化膜 1 2 を除去することにより、裏面側にのみシリコン酸化膜 1 2 が形成されたシリコン基板 1 0 を得たが、シリコン基板 1 0 の裏面側にのみシリコン酸化膜 1 2 を形成するようにしてもよい。シリコン基板 1 0 の裏面側にのみシリコン酸化膜 1 2 を形成する際には、例えば C V D 法を用いることができる。シリコン酸化膜 1 2 の膜厚は、例えば 1 0 n m 程度とする。

## 【 0 0 6 4 】

また、ここでは、シリコン基板 1 0 として、C Z 法により形成された一般的なシリコン基板を用いたが、シリコン基板 1 0 は C Z 法により形成された一般的なシリコン基板に限定されるものではなく、例えば S O I 基板を用いてもよい。

## 【 0 0 6 5 】

次に、図 9 ( a ) に示すように、シリコン酸化膜 1 4 及びシリコン窒化膜 1 6 を順次形成する。シリコン酸化膜 1 4 の形成方法及びシリコン窒化膜 1 6 の形成方法は、例えば、図 1 ( b ) を用いて上述した半導体装置の製造方法と同様とすればよい。

## 【 0 0 6 6 】

次に、図 9 ( b ) に示すように、例えばスピncコート法により、シリコン窒化膜 1 6 上にフォトレジスト膜 2 0 を形成する。

## 【 0 0 6 7 】

次に、フォトリソグラフィ技術を用い、フォトレジスト膜 2 0 に開口部 2 2 を形成する。

## 【 0 0 6 8 】

次に、フォトレジスト膜 2 0 をマスクとしてシリコン窒化膜 1 6 及びシリコン酸化膜 1 4 を異方性エッチングする。エッチングガスとしては、例えばフルオロカーボンを用いる。

## 【 0 0 6 9 】

次に、図 9 ( c ) に示すように、シリコン窒化膜 1 6 をマスクとして、シリコ

ン基板 10 をエッチングする。エッチングガスとしては、例えば HBr と  $O_2$  との混合ガスを用いる。こうして、シリコン基板 10 にトレンチ 24 が形成される。

#### 【0070】

この後の半導体装置の製造方法は、図 3 (c) 乃至図 5 (b) を用いて上述した半導体装置の製造方法と同様であるので説明を省略する。

#### 【0071】

こうして本実施形態による半導体装置が製造される。

#### 【0072】

本実施形態による半導体装置は、上述したように、STI 法により素子分離領域 28 を形成する際にポリシリコン膜より成るマスクは形成しないが、シリコン基板 10 の裏面側にシリコン酸化膜 12 が形成されている状態で水素アニールを行うことに主な特徴がある。

#### 【0073】

本実施形態によれば、シリコン基板 10 の裏面側にシリコン酸化膜 12 が存在している状態で熱処理を行うため、上記と同様に、水素アニールの際にシリコン基板 10 の裏面側からシリコンが昇華するのを防止することができる。本実施形態によれば、温度センサ等にシリコンが付着するのを防止することができるため、半導体製造装置の頻繁なメンテナンスを要することなく、プロセスの制御性の確保することができる。従って、本実施形態によっても、高い製造効率で半導体装置を製造することができる。

#### 【0074】

なお、エピタキシャル基板を用いた場合には、エピタキシャル基板の裏面側には一般にシリコン酸化膜が形成されているため、水素アニールを行った際にシリコン基板からシリコンが昇華してしまうことはない。但し、エピタキシャル基板は、高価であるため、低コスト化を図るためには、エピタキシャル基板ではない一般的なシリコン基板を用いることが有利である。本実施形態では、安価な一般的なシリコン基板を用いた場合であっても、水素アニールの際にシリコン基板の裏面側からシリコンが昇華してしまうのを防止することができるため、より一層

の低コスト化に寄与することが可能である。

【 0 0 7 5 】

〔第 3 実施形態〕

本発明の第 3 実施形態による半導体製造工程の管理方法を図 1 0 及び図 1 1 を用いて説明する。図 1 0 及び図 1 1 は、本実施形態による半導体製造工程の管理方法を示す工程断面図である。図 1 乃至図 9 に示す第 1 又は第 2 実施形態による半導体装置の製造方法と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【 0 0 7 6 】

本実施形態による半導体製造工程の管理方法は、検査用のシリコン基板 1 0 a の裏面側にシリコン酸化膜 1 2 が存在している状態で水素アニールを行い、その後、ゲート絶縁膜 3 6 を形成してゲート絶縁膜 3 6 の検査を行い、検査結果に応じて適切な措置をとることにより、製造工程を管理することに主な特徴がある。

【 0 0 7 7 】

まず、図 1 0 ( a ) に示すように、検査用のシリコン基板 1 0 a を用意する。検査用のシリコン基板 1 0 a としては、例えば C Z 法により形成されたシリコン基板を用いる。

【 0 0 7 8 】

次に、図 1 0 ( b ) に示すように、例えば熱酸化法により、検査用のシリコン基板 1 0 a の全面にシリコン酸化膜 1 2 を形成する。シリコン酸化膜 1 2 の膜厚は、例えば 1 0 0 n m 程度とする。

【 0 0 7 9 】

次に、検査用のシリコン基板 1 0 a の表面側のシリコン酸化膜 1 2 のみを、例えばフッ酸を用いて除去する。こうして、裏面側にのみシリコン酸化膜 1 2 が形成された、検査用のシリコン基板 1 0 a が得られる ( 図 1 0 ( c ) 参照 ) 。

【 0 0 8 0 】

なお、ここでは、検査用のシリコン基板 1 0 a の表面側及び裏面側にシリコン酸化膜 1 2 を形成した後に、表面側のシリコン酸化膜 1 2 を除去することにより、裏面側にのみシリコン酸化膜 1 2 が形成された検査用のシリコン基板 1 0 a を

得たが、検査用のシリコン基板 1 0 a の裏面側にのみシリコン酸化膜 1 2 を形成するようにしてもよい。シリコン基板 1 0 の裏面側にのみシリコン酸化膜 1 2 を形成する際には、例えば C V D 法を用いることができる。シリコン酸化膜 1 2 の膜厚は、例えば 1 0 n m 程度とする。

## 【 0 0 8 1 】

また、ここでは、検査用のシリコン基板 1 0 a として、C Z 法により形成された一般的なシリコン基板を用いたが、検査用のシリコン基板 1 0 a は C Z 法により形成された一般的なシリコン基板に限定されるものではなく、例えば S O I 基板を用いてもよい。

## 【 0 0 8 2 】

次に、ゲート絶縁膜 3 6 を成膜する工程（図 1 1 参照）の前処理として、水素アニールを行う。アニール温度は、例えば 1 0 0 0 ° C 程度とする。水素アニールを行う際には、検査用のシリコン基板 1 0 a の裏面側にシリコン酸化膜 1 2 が存在している状態でアニールを行う。検査用のシリコン基板 1 0 a の裏面側にシリコン酸化膜 1 2 が存在している状態で水素アニールを行えば、上述したように、検査用のシリコン基板 1 0 a の裏面側からのシリコンの昇華を防止することができ、温度センサ等にシリコンが付着するのを防止することができる。シリコン酸化膜 1 2 は、検査用のシリコン基板 1 0 の裏面側に例えば 1 n m 以上存在していればよい。

## 【 0 0 8 3 】

次に、例えば熱酸化法により、膜厚 1 . 2 n m のゲート絶縁膜 3 6 を形成する。

## 【 0 0 8 4 】

次に、ゲート絶縁膜 3 6 に対しての検査を行う。検査項目としては、例えばゲート絶縁膜 3 6 の膜厚が挙げられる。

## 【 0 0 8 5 】

ゲート絶縁膜 3 6 a の検査を行った結果、例えば所望の膜厚のゲート絶縁膜 3 6 a が形成されていた場合には、半導体製造装置等に特段の問題はないと判断し、半導体装置を実際に製造するためのシリコン基板 1 0 に対してゲート絶縁膜 3



6を形成する（図5（b）参照）。

【0086】

一方、ゲート絶縁膜36aの検査を行った結果、例えば所望の膜厚のゲート絶縁膜36aが形成されていなかった場合には、半導体製造装置等に何らかの問題があると考えられる。この場合には、例えば半導体製造装置のメンテナンスを行うなど、適切な措置をとる。そして、所望のゲート絶縁膜36aを形成し得るようになった場合には、半導体装置を実際に製造するためのシリコン基板10に対してゲート絶縁膜36を形成する（図5（b）参照）。

【0087】

本実施形態による半導体製造工程の管理方法は、上述したように、検査用のシリコン基板10aの裏面側にシリコン酸化膜12が存在している状態で水素アニールを行い、この後、ゲート絶縁膜36aを形成して、ゲート絶縁膜36aの検査を行い、検査結果に応じた措置をとることに主な特徴がある。

【0088】

本実施形態によれば、検査用のシリコン基板10aの裏面側にシリコン酸化膜12が存在している状態で水素アニールを行うため、上記実施形態と同様に、検査用のシリコン基板10aの裏面側からシリコンが昇華して温度センサ等にシリコンが付着するのを防止することができる。従って、本実施形態によっても、頻繁なメンテナンスが不要となり、検査効率や製造効率を向上することができる。

【0089】

なお、エピタキシャル基板を用いた場合には、エピタキシャル基板の裏面側には一般にシリコン酸化膜が形成されているため、水素アニールを行った際にシリコン基板からシリコンが昇華してしまうことはない。しかし、エピタキシャル基板は、試験用の基板として用いるには、あまりに高価である。本実施形態では、安価な一般的なシリコン基板を用いた場合であっても、水素アニールの際にシリコン基板の裏面側からシリコンが昇華してしまうのを防止することができるという点で、エピタキシャル基板を用いる場合と比較して極めて有利である。

【0090】

〔変形実施形態〕

本発明は上記実施形態に限らず種々の変形が可能である。

【 0 0 9 1 】

例えば、第 1 実施形態では、マスクとしてポリシリコン膜 1 8 を用いたが、マスクの材料はポリシリコンに限定されるものではない。例えば、アモルファスシリコン膜等、あらゆるシリコン膜を用いることができる。また、マスクの材料はシリコンに限定されるものではなく、あらゆる半導体を用いることが可能である。例えば、マスクの材料として、半導体基板の材料とほぼ同様のエッチング特性を有する半導体を用いることができる。半導体基板の材料とほぼ同様のエッチング特性を有する半導体材料を用いれば、絶縁膜をマスクとして半導体基板にトレンチを形成する際に、絶縁膜上に形成されている半導体より成るマスクを同時に除去することが可能である。

【 0 0 9 2 】

また、上記実施形態では、基板としてシリコン基板を用いる場合を例に説明したが、本発明はシリコン基板を用いる場合に限定されるものではなく、あらゆる半導体基板を用いる場合に適用することが可能である。

【 0 0 9 3 】

また、上記実施形態では、シリコン基板 1 0、1 0 a の裏面側にシリコン酸化膜 1 2 を形成したが、シリコン基板 1 0、1 0 a の裏面側に形成する絶縁膜はシリコン酸化膜に限定されるものではない。アニールを行う際に、半導体基板の裏面側から半導体構成原子が昇華するのを防止しうる膜であれば、あらゆる膜を適宜用いることができる。

【 0 0 9 4 】

(付記 1) 半導体基板にゲート絶縁膜を形成する工程を有する半導体装置の製造方法であって、

前記ゲート絶縁膜を形成する工程の前に、前記半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記半導体基板の前記表面側の前記絶縁膜をエッチング除去する工程と、前記半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有する

ことを特徴とする半導体装置の製造方法。

【 0 0 9 5 】

(付記 2) 付記 1 記載の半導体装置の製造方法において、  
前記半導体基板を熱処理する工程では、水素を含む雰囲気中で前記半導体基板を熱処理する  
ことを特徴とする半導体装置の製造方法。

【 0 0 9 6 】

(付記 3) 検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、  
前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の表面側及び裏面側を覆うように絶縁膜を形成する工程と、前記検査用の半導体基板の前記表面側の前記絶縁膜をエッチング除去する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有する  
ことを特徴とする半導体製造工程の管理方法。

【 0 0 9 7 】

(付記 4) 検査用の半導体基板にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の検査を行う工程とを有する半導体製造工程の管理方法であって、  
前記ゲート絶縁膜を形成する工程の前に、前記検査用の半導体基板の裏面側に絶縁膜を形成する工程と、前記検査用の半導体基板の前記裏面側に前記絶縁膜が存在している状態で、前記半導体基板を熱処理する工程とを有する  
ことを特徴とする半導体製造工程の管理方法。

【 0 0 9 8 】

(付記 5) 付記 3 又は 4 記載の半導体製造工程の管理方法において、  
前記半導体基板を熱処理する工程では、水素を含む雰囲気中で前記半導体基板を熱処理する  
ことを特徴とする半導体製造工程の管理方法。

【 0 0 9 9 】

(付記 6) 裏面側に第 1 の絶縁膜が形成された半導体基板の表面側及び前記裏面側を覆うように第 2 の絶縁膜を形成する工程と、

前記表面側及び前記裏面側の前記第 2 の絶縁膜を覆うように半導体膜を形成する工程と、

前記裏面側の前記半導体膜をエッチング除去する工程と、

前記半導体基板の前記裏面側に前記第 2 の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程と

を有することを特徴とする半導体装置の製造方法。

【 0 1 0 0 】

(付記 7) 半導体基板の前記表面側及び前記裏面側を覆うように第 1 の絶縁膜を形成する工程と、

前記半導体基板の前記表面側の前記第 1 の絶縁膜をエッチング除去する工程と

、  
前記半導体基板の前記表面側及び前記裏面側を覆うように第 2 の絶縁膜を形成する工程と、

前記表面側及び前記裏面側の前記第 2 の絶縁膜を覆うように半導体膜を形成する工程と、

前記裏面側の前記半導体膜をエッチング除去する工程と、

前記半導体基板の前記裏面側に前記第 2 の絶縁膜が存在している状態で、前記半導体基板を熱処理する工程と

を有することを特徴とする半導体装置の製造方法。

【 0 1 0 1 】

(付記 8) 付記 6 又は 7 記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜をエッチング除去する工程の後、前記半導体基板を熱処理する工程の前に、前記半導体基板を洗浄液に浸漬する工程を更に有することを特徴とする半導体装置の製造方法。

【 0 1 0 2 】

(付記 9) 付記 8 記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜をエッチング除去する工程の後、前記半導体基板を洗浄液に浸漬する工程の前に、前記半導体基板の前記裏面側をスクラブ洗浄する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【0103】

(付記10) 付記9記載の半導体装置の製造方法において、

前記スクラブ洗浄する工程では、アンモニアと過酸化水素と水とが混合されて成る第1の洗浄液とブラシとを用いて、前記半導体基板の前記裏面側をスクラブ洗浄する

ことを特徴とする半導体装置の製造方法。

【0104】

(付記11) 付記8乃至10のいずれかに記載の半導体装置の製造方法において、

前記半導体基板を洗浄液に浸漬する工程では、アンモニアと過酸化水素と水とが混合されて成る第2の洗浄液に前記半導体基板を浸漬する

ことを特徴とする半導体装置の製造方法。

【0105】

(付記12) 付記6乃至11のいずれかに記載の半導体装置の製造方法において、

前記裏面側の前記半導体膜を除去する工程の後、前記半導体基板を熱処理する工程の前に、前記表面側の前記半導体膜に前記第2の絶縁膜に達する開口部を形成する工程と、前記半導体膜をマスクとして前記第2の絶縁膜をエッチングする工程と、前記第2の絶縁膜をマスクとして前記半導体基板をエッチングし、前記半導体基板に溝を形成する工程と、前記溝内に第3の絶縁膜を埋め込むことにより素子分離領域を形成する工程とを更に有する

ことを特徴とする半導体装置の製造方法。

【0106】

(付記13) 付記12記載の半導体装置の製造方法において、

前記半導体基板を熱処理する工程では、水素を含む雰囲気中で前記半導体基板を熱処理し、

前記半導体基板を熱処理する工程の後、前記半導体基板にゲート絶縁膜を形成する工程を更に有する

ことを特徴とする半導体装置の製造方法。

【0107】

【発明の効果】

以上の通り、本発明によれば、半導体基板の裏面側の半導体膜を除去し、しかも、半導体基板の裏面側に絶縁膜が存在している状態で熱処理を行うため、高温の熱処理を行った場合であっても、半導体基板の裏面側から半導体構成原子が昇華するのを防止することができる。このため、本発明によれば、温度センサ等に半導体構成原子が付着するのを防止することができ、頻繁なメンテナンスを行うことなく半導体装置を製造することが可能となる。従って、本発明によれば、高い製造効率で半導体装置を製造することができる。

【0108】

また、本発明によれば、半導体基板の裏面側の半導体膜を除去した後、洗浄液に浸漬する前に、スクラブ洗浄を行うため、スクラブ洗浄においてある程度の数のパーティクルを除去することができる。このため、本発明によれば、半導体基板を洗浄液に浸漬した際に、洗浄液中に混入するパーティクルを少なく抑えることができる。従って、本発明によれば、半導体膜等の表面に再付着するパーティクルの数を極めて少なくすることができ、ひいては半導体装置の製造歩留りを向上することができる。

【0109】

また、本発明によれば、半導体基板の裏面側に絶縁膜が存在している状態で熱処理を行うため、高温の熱処理を行った場合であっても、半導体基板の裏面側から半導体構成原子が昇華するのを防止することができる。このため、本発明によれば、温度センサ等に半導体構成原子が付着するのを防止することができ、頻繁なメンテナンスを行うことなく半導体装置を製造することが可能となる。従って、本発明によれば、高い製造効率で半導体装置を製造することができる。

【0110】

また、本発明によれば、検査用の半導体基板の裏面側に絶縁膜が存在している状態で高温の熱処理を行うため、検査用の半導体基板の裏面側から半導体構成原子が昇華して温度センサ等にシリコンが付着するのを防止することができる。従

って、本発明によれば、頻繁なメンテナンスが不要となり、検査効率や製造効率を向上することができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 2】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 2）である。

【図 3】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 3）である。

【図 4】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 4）である。

【図 5】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 5）である。

【図 6】

本発明の第 1 実施形態による半導体装置の製造方法を示す工程断面図（その 6）である。

【図 7】

シリコン基板の裏面側のポリシリコン膜を除去することなく半導体装置を製造する場合の工程断面図である。

【図 8】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 1）である。

【図 9】

本発明の第 2 実施形態による半導体装置の製造方法を示す工程断面図（その 2）

) である。

【図 1 0】

本発明の第 3 実施形態による半導体製造工程の管理方法を示す工程断面図（その 1）である。

【図 1 1】

本発明の第 3 実施形態による半導体製造工程の管理方法を示す工程断面図（その 2）である。

【符号の説明】

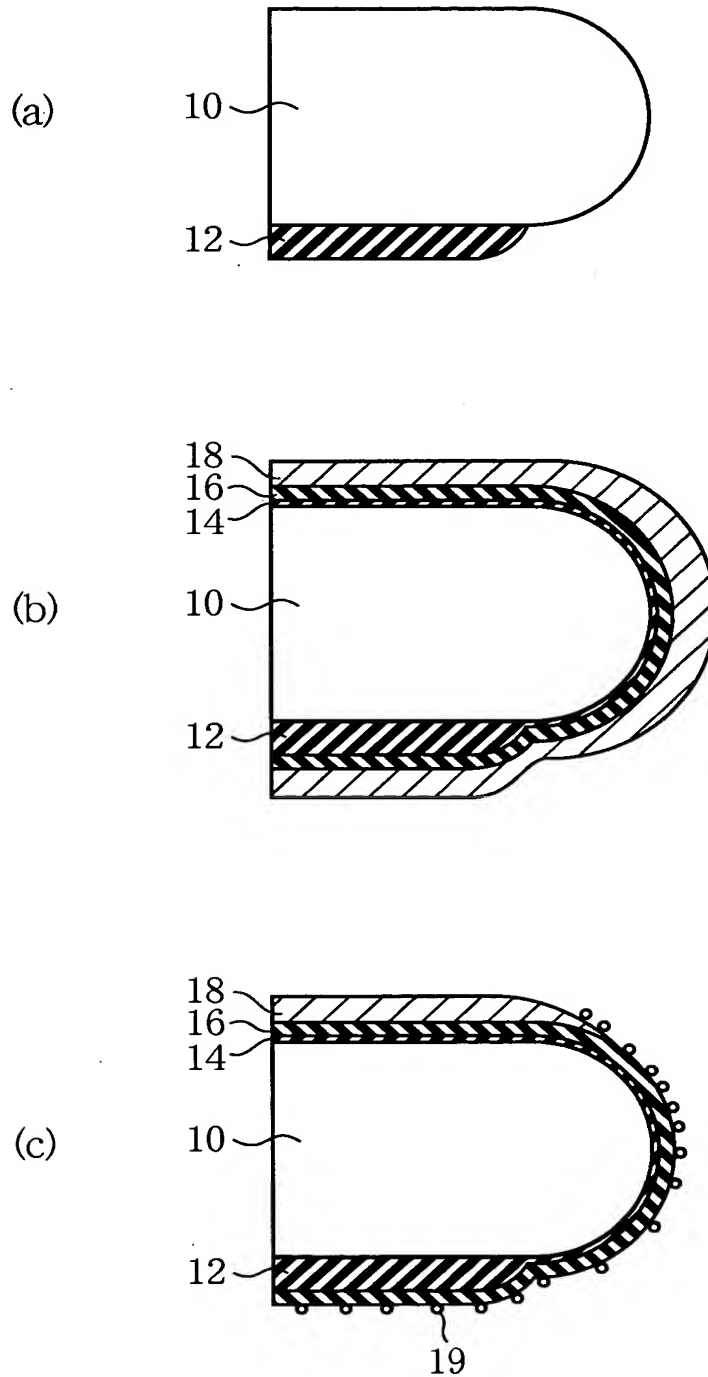
- 1 0 …シリコン基板
- 1 0 a …検査用のシリコン基板
- 1 2 …シリコン酸化膜
- 1 4 …シリコン酸化膜
- 1 6 …シリコン窒化膜
- 1 8 …ポリシリコン膜
- 1 9 …パーティクル
- 2 0 …フォトレジスト膜
- 2 2 …開口部
- 2 4 …トレンチ
- 2 6 …シリコン酸化膜
- 2 8 …素子分離領域
- 3 0 …素子領域
- 3 2 …n 形ウェル
- 3 4 …p 形ウェル
- 3 6、3 6 a …ゲート絶縁膜



【書類名】 図面

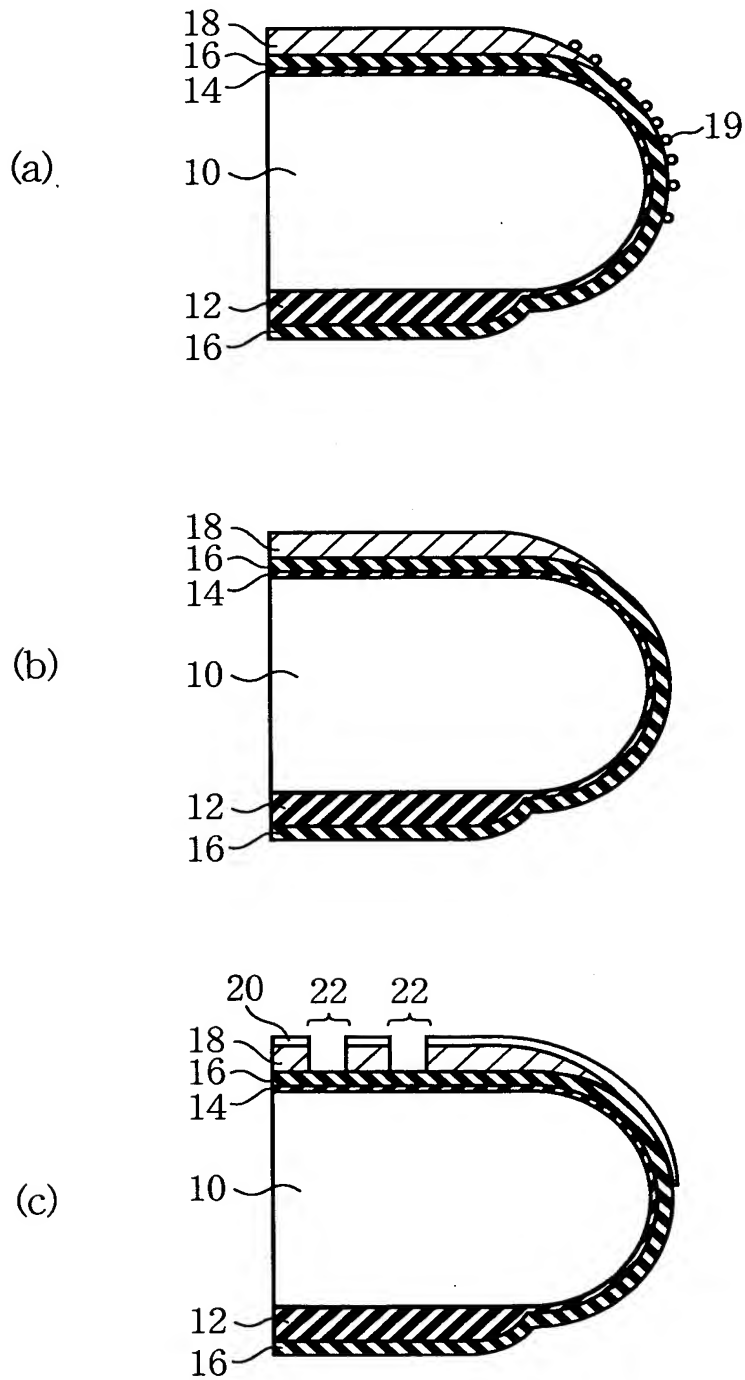
【図 1】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その1)



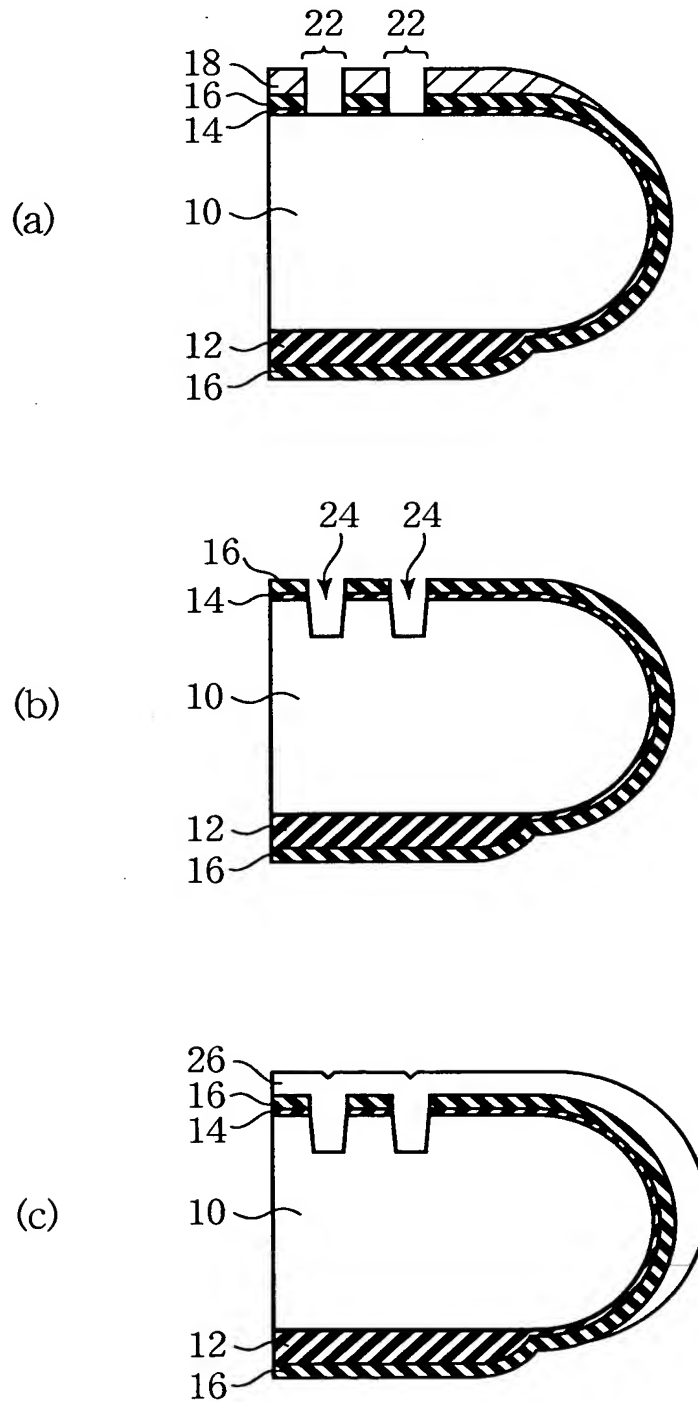
【図 2】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その2)



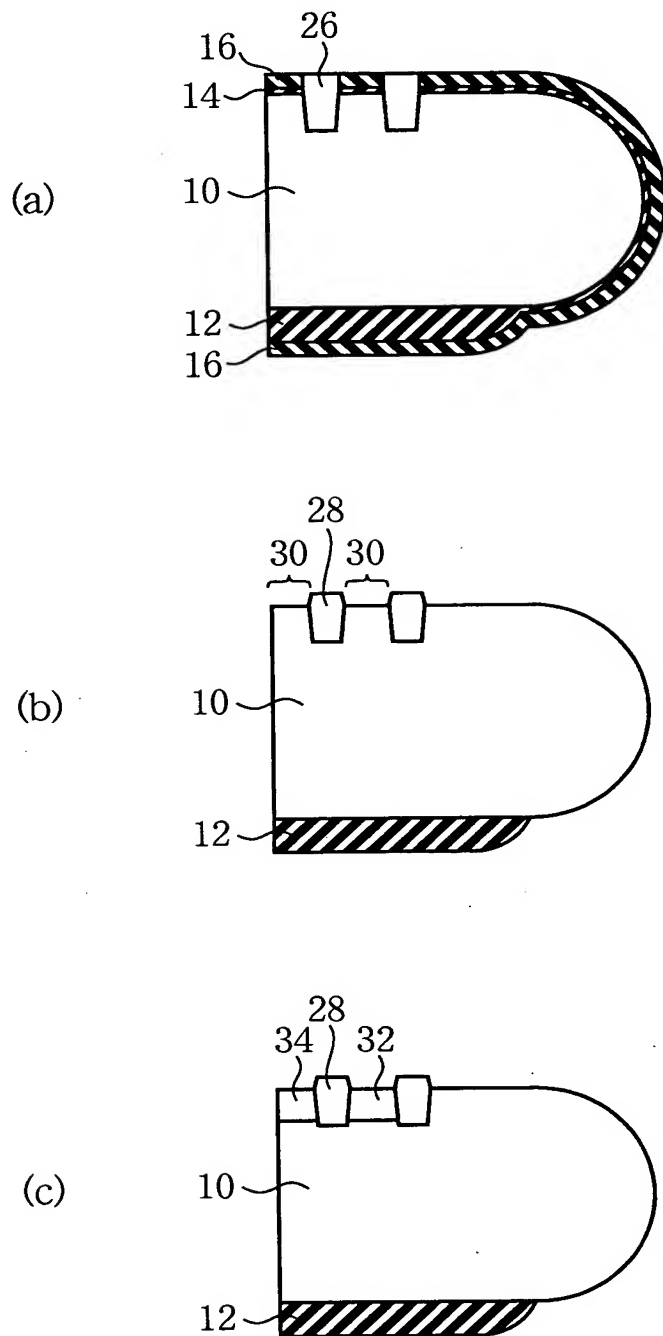
【図 3】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その3)



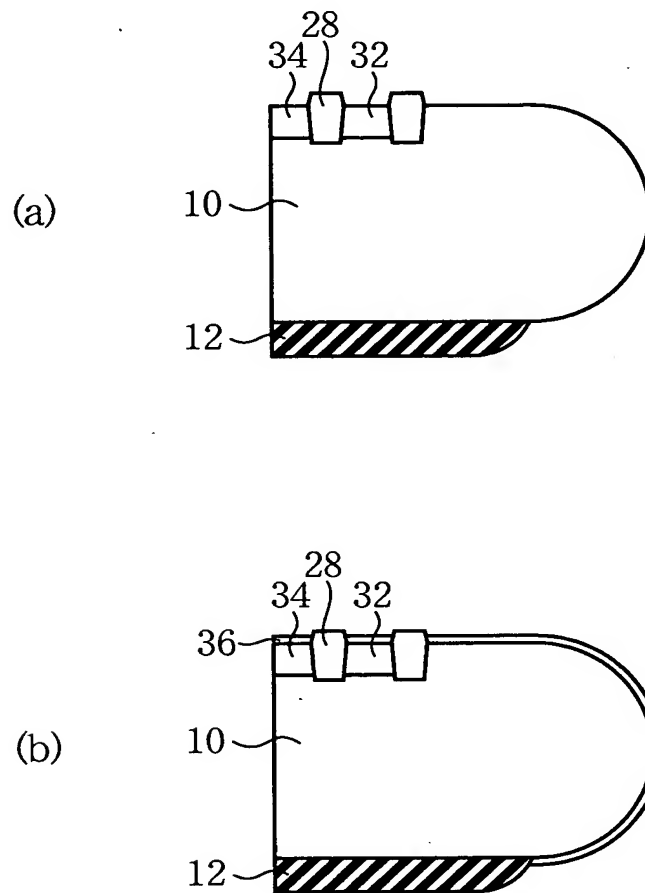
【図 4】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その4)



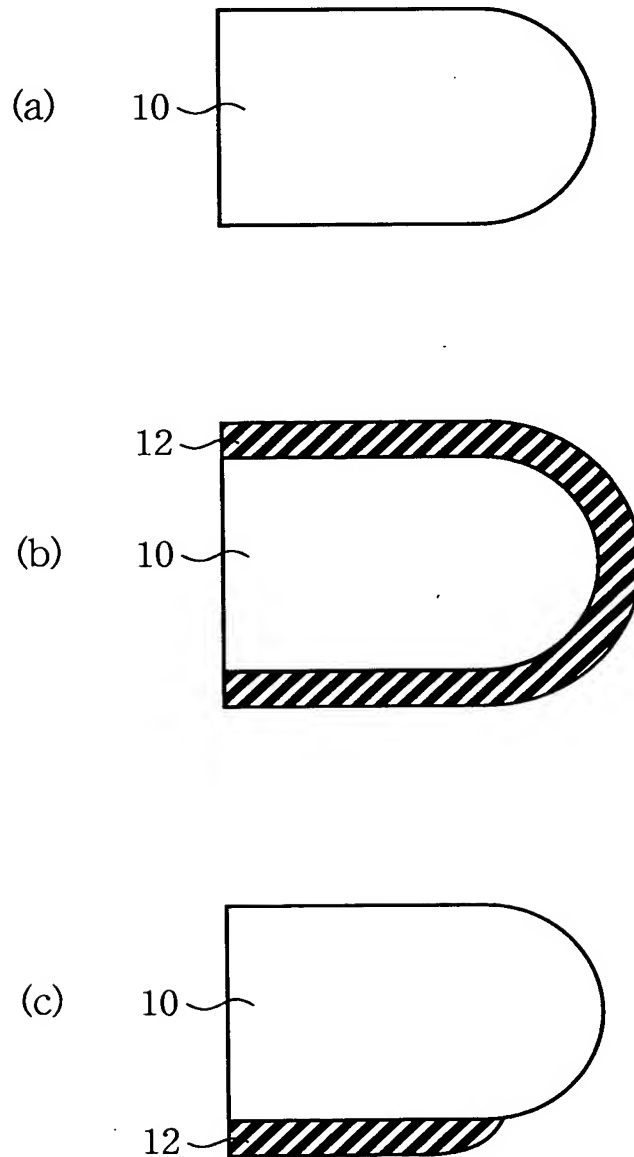
【図 5】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その5)



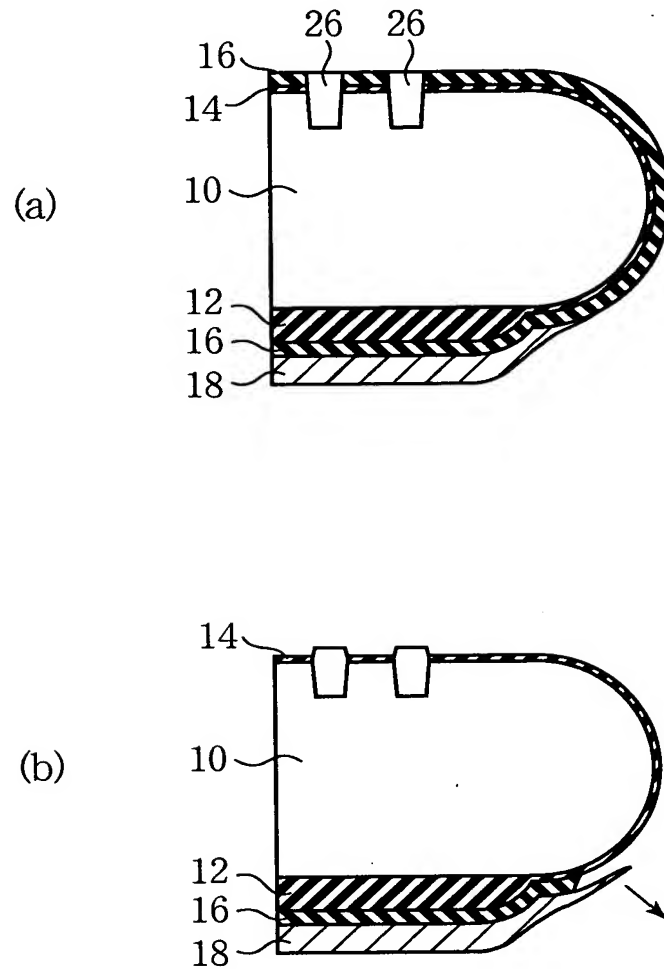
【図 6】

本発明の第1実施形態による半導体装置の製造方法を示す  
工程断面図(その6)



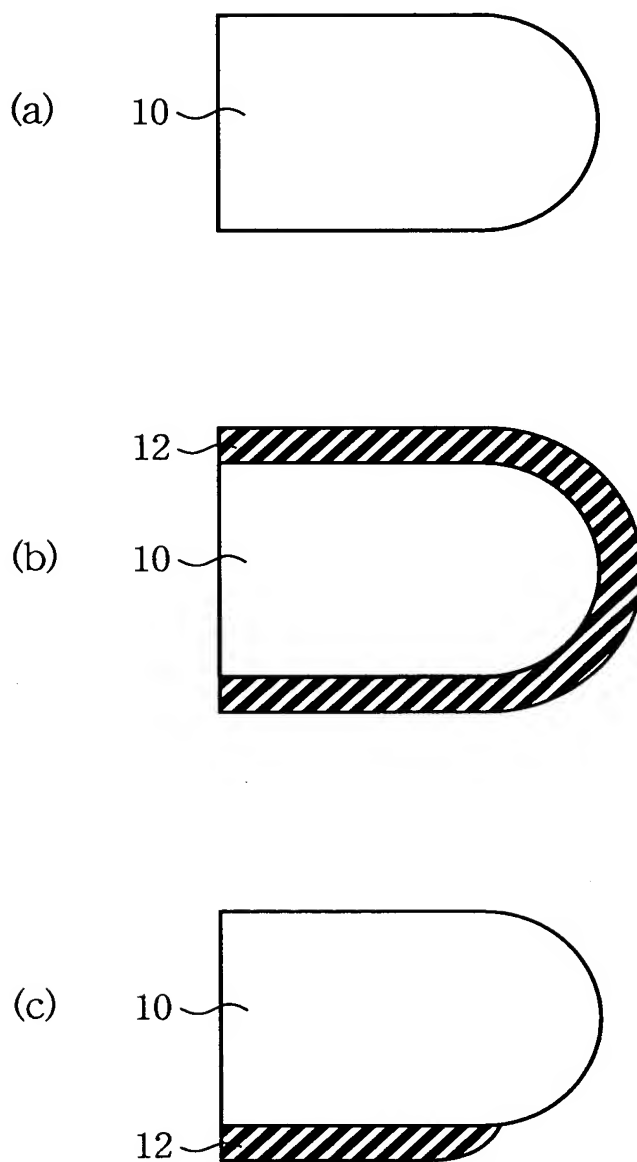
【図 7】

シリコン基板の裏面側のポリシリコン膜を除去することなく  
半導体装置を製造する場合の工程断面図



【図 8】

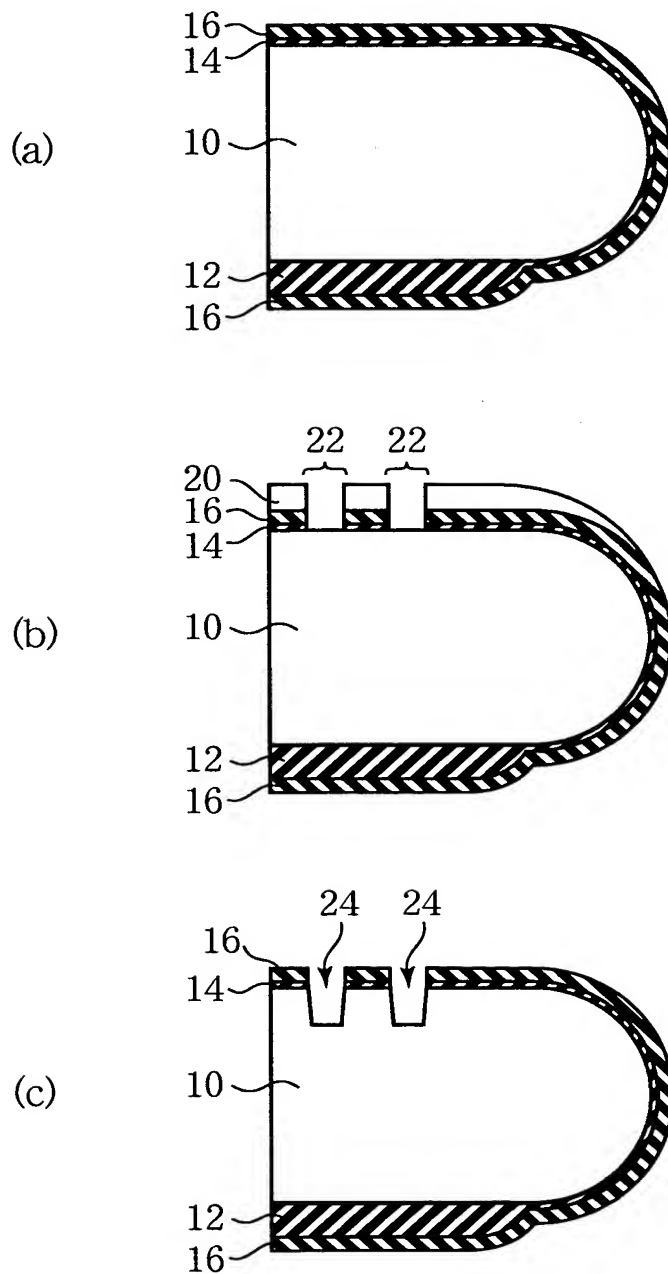
本発明の第2実施形態による半導体装置の製造方法を示す  
工程断面図(その1)





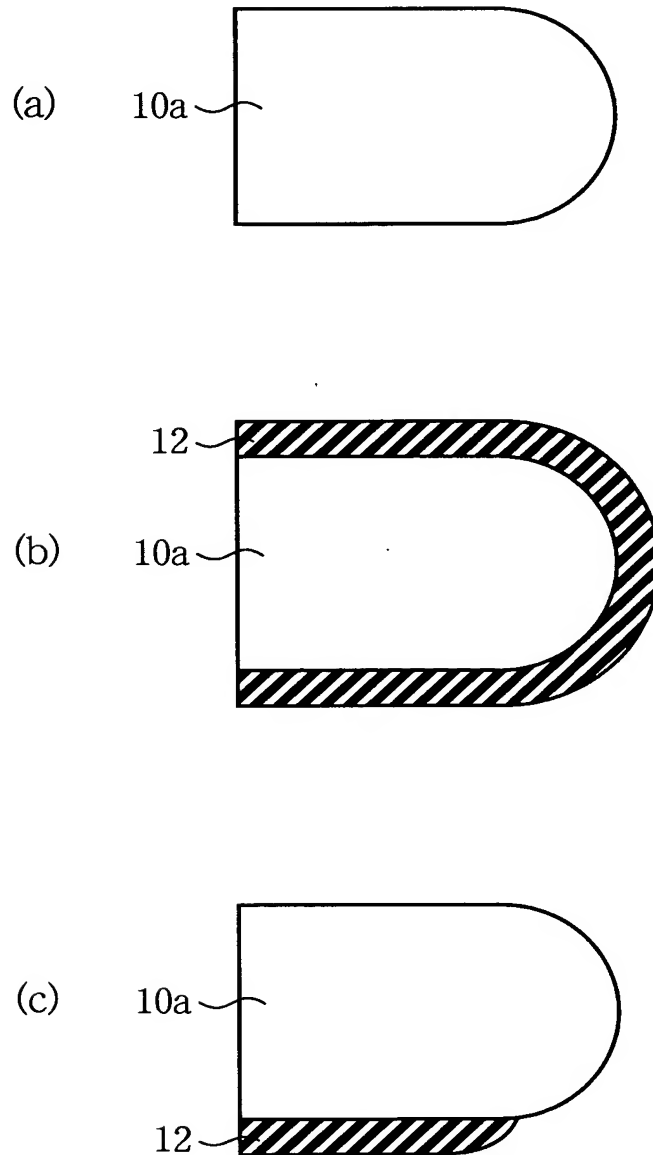
【図 9】

本発明の第2実施形態による半導体装置の製造方法を示す  
工程断面図(その2)



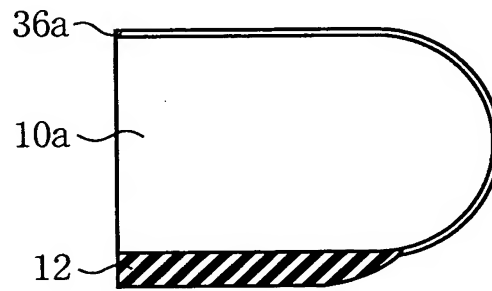
【図 1 0】

本発明の第3実施形態による半導体製造工程の管理方法を示す  
工程断面図(その1)



【図 1 1】

本発明の第3実施形態による半導体製造工程の管理方法を示す  
工程断面図(その2)



【書類名】 要約書

【要約】

【課題】 熱処理を行う際に、半導体基板の裏面側からの半導体構成原子の昇華を防止し得る半導体装置の製造方法及び半導体製造工程の管理方法を提供する。

【解決手段】 半導体基板 1 0 にゲート絶縁膜を形成する工程を有する半導体装置の製造方法であって、ゲート絶縁膜を形成する工程の前に、半導体基板の表面側及び裏面側を覆うように絶縁膜 1 2 を形成する工程と、半導体基板の表面側の絶縁膜をエッチング除去する工程と、半導体基板の裏面側に絶縁膜が存在している状態で、半導体基板を熱処理する工程とを有している。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社